



## КОНЦЕПЦИЯ АППАРАТНОГО УСКОРЕНИЯ ПРИ РЕШЕНИИ ЗАДАЧ КОМБИНАТОРНОЙ ОПТИМИЗАЦИИ В АВТОМАТИЗИРОВАННЫХ СИСТЕМАХ УПРАВЛЕНИЯ ТЕХНОЛОГИЧЕСКИМИ ПРОЦЕССАМИ

Тырышкин С. Ю.

*Федеральное государственное бюджетное образовательное учреждение высшего образования «Алтайский государственный технический университет имени И. И. Ползунова», Барнаул, Российская Федерация, e-mail: service.vip-spe@yandex.ru*

Новые вычислительные парадигмы привлекают значительное внимание в условиях экспоненциального роста требований к обработке информации. Значительная часть прикладных задач относится к классу NP-трудных, что существенно осложняет получение оптимальных решений с использованием традиционных архитектур. Цель исследования – исследование особенностей и разработка эффективных способов аппаратного ускорения для повышения производительности и снижения временных затрат при решении задач комбинаторной оптимизации в автоматизированных системах управления технологическими процессами. В исследовании использованы модели типовых задач комбинаторной оптимизации в автоматизированных системах управления технологическими процессами с дискретными ограничениями и жесткими временными требованиями. Методология включает системный анализ вычислительных процессов, сравнение последовательной программной реализации алгоритмов с аппаратным ускорением и оценку временной эффективности через математическое моделирование и анализ параллельных архитектур. В статье разработана структурно-функциональная организация гетерогенной вычислительной системы, реализующая физическую декомпозицию задач управления и потокового комбинаторного поиска на базе специализированного аппаратного ускорителя. Предложена математическая модель вычислительного конвейера, подтверждающая достижение детерминированного времени реакции и кратное снижение латентности за счет параллельной аппаратной фильтрации недопустимых вариантов решений. Предложенное решение создает концептуальный базис для унификации аппаратных ускорителей в составе перспективных автоматизированных систем управления технологическими процессами, открывая возможности для внедрения интеллектуальных методов управления в критически важные отрасли промышленности.

**Ключевые слова:** комбинаторная оптимизация, ускорение, отжиг, данные, требования, точность, скорость, параллельная архитектура, вычисления

**Благодарности:** Автор благодарит ООО «НИИ Кибернетики Сибири» за оказанную техническую поддержку.

## CONCEPT OF HARDWARE ACCELERATION IN SOLVING COMBINATORIAL OPTIMISATION PROBLEMS IN AUTOMATED PROCESS CONTROL SYSTEMS

Tyryshkin S. Yu.

*Federal State Budgetary Educational Institution of Higher Education  
“Altai State Technical University named after I. I. Polzunov”,  
Barnaul, Russian Federation, e-mail: service.vip-spe@yandex.ru*

New computational paradigms attract substantial attention given the exponential increase in demands for information processing. A large proportion of practical problems belongs to the class of NP-hard ones, significantly complicating the attainment of optimal solutions when using conventional architectural approaches. The research objective is to explore specific characteristics and develop effective techniques for hardware acceleration aimed at enhancing performance and reducing execution times during the resolution of combinatorial optimization problems within automated industrial process control systems. Materials and Methods: The study employs models of typical combinatorial optimization problems encountered in automated process control systems under conditions of discrete constraints and rigid temporal requirements. Methodology encompasses systemic analysis of computational processes, comparative evaluation between sequential programmatic implementations of algorithms and hardware-accelerated variants, as well as assessing time-efficiency via mathematical modeling and examination of parallel architectures. The paper introduces a structurally functional organization of a heterogeneous computing system implementing physical task decomposition and streaming combinatorial search based on specialized hardware accelerators. It proposes a mathematical model of a computational pipeline verifying determinate reaction time and drastic latency reduction achieved by means of parallel hardware filtering of invalid solution candidates. This solution provides a conceptual foundation for standardizing hardware accelerators in advanced automated process control systems, thereby enabling the integration of intelligent management methodologies into critically important industrial sectors.

**Keywords:** combinatorial optimisation, acceleration, annealing, data, requirements, accuracy, speed, parallel architecture, computing

**Acknowledgements:** The author thanks the Research LLC “NII Cybernetics of Siberia” for the technical support provided.

### Введение

Задачи комбинаторной оптимизации широко применяются в различных прикладных областях, таких как логистика, распределение ресурсов, проектирование коммуникационных сетей, финансовые и транспортные системы, а также вопросы вычислительной химии и фармакологии. Значительная часть этих проблемных аспектов относится к классу NP-трудных [1]. Как демонстрируют данные, приведенные в табл. 1, применение традиционных вычислительных архитектур на базе универсальных микропроцессоров (CPU) становится ограничивающим фактором при решении таких задач в реальном времени. Для целей оперативного управления, где период дискретизации составляет миллисекунды (например, управление быстропротекающими электромеханическими процессами или MPC-регулирование с дискретными ограничениями), время поиска оптимального решения на CPU многократно превышает допустимое критическое время цикла [2]. При увеличении времени вычисления управляющего воздействия в системе возникает дополнительная задержка формирования окончательного решения. В замкнутом контуре это приводит к ухудшению динамических свойств системы и снижению запасов устойчивости, а при превышении допустимых значений может вызвать нарушение технологического режима.

Как известно, решение задач комбинаторной оптимизации с помощью цифровых компьютеров, основанных на архитектуре фон Неймана, сопряжено с трудностями, учитывая экспоненциальный рост требуемых ресурсов в отношении вычислительной мощности и задержки по мере увеличения масштаба задач [3, 4]. Поэтому существует острая необходимость в изучении новых аппаратных конструкций с альтернативными архитектурами и алгоритмами, которые позволят эффективно преодолеть отмеченные проблемы.

Таким образом, изучение возможностей использования различных ускорителей, которые могут стать мощной основой для эффективного моделирования и решения широкого спектра задач оптимизации с переменными параметрами, является актуальным направлением научного поиска, которое и обусловило выбор темы данной статьи.

Особенности применения ускорителей на основе машин Изинга для эффективного поиска решений сложных оптимизационных задач с использованием различных технологий и аппаратных архитектур, включая квантовый отжиг со сверхпроводящими кубитами, классический отжиг в мемристоре, когерентные машины Изинга с оптическим осциллятором, рассматривают М. А. Аханова, С. В. Овчинникова, Н. В. Терехова [5], С. Л. Подвальный, Е. М. Васильев [6], Bruno Silva, Luiz Guerreiro Lopes [7].

Таблица 1

Сравнительный анализ временной эффективности решения задач комбинаторной оптимизации в контуре управления АСУ ТП

Тип задачи в АСУ ТП	Характеристика пространства поиска (N)	Критическое время цикла управления	Время решения на CPU (Intel i7/ Xeon),	Время решения на ускорителе (FPGA/ ASIC)	Коэффициент ускорения	Статус (CPU)
MPC-управление с дискретными ограничениями	20–30 бинарных переменных	$\leq 10$ мс	150÷300 мс	0,5÷1,2 мс	250	Срыв цикла
Планирование загрузки агрегатов	50–100 технологических единиц	$\leq 1$ с	15÷45 с	0,08÷0,2 с	200	Недопустимая задержка
Маршрутизация транспортных потоков	30–50 узлов графа (транспортная сеть цеха)	$\leq 100$ мс	1,5÷5,0 с	5÷15 мс	300	Остановка линии
Динамическая балансировка энергоресурсов	200+ узлов нагрузки	$\leq 5$ с	> 5 мин	0,8÷1,5 с	> 300	Потеря устойчивости

Примечание: составлена автором на основе сравнительного анализа технической документации Intel FPGA (Altera) и AMD Xilinx, аналитических отчетов IEEE Industrial Electronics Society, а также материалов Gartner “Hype Cycle for Real-Time Infrastructure” и International Energy Agency (IEA) “Digitalization and Energy”

Типы задач комбинаторной оптимизации, которые могут быть решены с помощью аппаратного обеспечения квантового отжига, а также сравнение его эффективности с широким спектром эвристических алгоритмов детально описывают Jiangwei Shang, Zhan Zhang, Kun Zhang, Chuanyou Li, Lei Qian, Hongwei Liu [8], А. И. Лоскутов, В. А. Клыков, А. В. Столяров, Ю. В. Перелыгин [9], Н. Р. Трошкин, Т. И. Вишневецкая [10].

Над разработкой многоуровневой таксономии аппаратных ускорителей, которая учитывает общие аспекты, связь с хостом, архитектуру и программные характеристики, трудятся А. П. Солодовников, А. Л. Перверзев, А. М. Силантьев [11], Sheng-Yao Wu, Yan-Qi Song, Run-Ze Li, Su-Juan Qin, Qiao-Yan Wen, Fei Gao [12], Ehsan Ali [13].

Несмотря на достигнутые результаты, существенной проблемой остается обеспечение устойчивой работы замкнутых систем управления при использовании аппаратно ускоренных вычислений в условиях изменяющихся ограничений и параметров технологического процесса. Также требует дальнейшего исследования унификация аппаратных решений с типовыми архитектурами АСУ ТП.

**Цель исследования** – разработать гетерогенную архитектуру специализированного аппаратного ускорителя, объединяющую гибкость программного управления и быстродействие аппаратной логики, для улучшения производительности и сокращения временных затрат при решении задач комбинаторной оптимизации в АСУ ТП.

#### **Материалы и методы исследования**

В качестве материалов исследования использовались модели типовых задач комбинаторной оптимизации, возникающих в контурах управления АСУ ТП, включая задачи управления с дискретными ограничениями, планирования загрузки оборудования, маршрутизации и распределения ресурсов. Методологической основой исследования является системный анализ вычислительных процессов, реализуемых в контуре управления АСУ ТП, с последующим сопоставлением последовательной программной реализации алгоритмов комбинаторной оптимизации на универсальных микропроцессорных архитектурах и специализированной аппаратной реализации на основе ускорителей. В работе применяется метод структурно-функциональной декомпозиции, позволяющий разделить задачи верхнего уровня (постановка оптимизационной задачи, формирование критериев и ограничений) и задачи нижнего уровня, связанные с перебором дискретного множества решений и поиском глобального оптимума.

#### **Результаты исследования и их обсуждение**

Аппаратный ускоритель в научно-экспертной литературе определяется как отдельная архитектурная подструктура, которая спроектирована с использованием другого набора целей, чем базовый процессор, где эти цели вытекают из потребностей особого класса приложений [14]. В то же время отмечается, что аппаратный ускоритель не предназначен для замены базового процессора: ЦП в системе по-прежнему необходим для выполнения задач ОС и координации выполнения на самом ускорителе [15].

Вместе с тем анализ существующих архитектурных решений показывает, что прямое использование универсальных ускорителей или квантовых вычислителей в промышленных контурах управления затруднено из-за высоких накладных расходов на интерфейсное взаимодействие и отсутствия гарантий детерминированного времени отклика. Для эффективного решения задач комбинаторной оптимизации в условиях реального времени требуется не просто повышение тактовой частоты вычислений, а глубокая структурная интеграция логики перебора с потоками данных системы управления. Необходимо обеспечить такую организацию вычислительного процесса, при которой латентность передачи данных между управляющим контроллером и ядром оптимизации была бы минимизирована, а процесс проверки ограничений выполнялся бы аппаратно, параллельно с генерацией вариантов. Реализация данного подхода предопределяет необходимость синтеза оригинальной гетерогенной архитектуры, объединяющей гибкость программного управления и быстродействие аппаратной логики. Авторский подход к решению данной задачи представлен на рисунке.

Изображенная на рисунке структурно-функциональная схема иллюстрирует концепцию построения гетерогенной вычислительной системы, спроектированной для реализации методов аппаратного ускорения при решении NP-трудных задач комбинаторной оптимизации в контурах управления технологическими объектами. Основополагающим принципом данной архитектуры является физическая декомпозиция вычислительного процесса, при которой рутинные операции перебора дискретного множества вариантов, составляющие суть комбинаторной задачи, делегируются специализированному аппаратному ускорителю, в то время как задачи верхнего уровня по формированию критериев оптимизации остаются за универсальным процессором.



Правый сегмент схемы, описывающий уровень технологического процесса, представляет собой источник данных для задачи оптимизации. Многопараметрический объект управления характеризуется непрерывной динамикой, однако управляющие воздействия формируются на основе дискретного выбора из конечного множества альтернатив, что и порождает задачу комбинаторной оптимизации. Подсистема сбора данных осуществляет формирование вектора состояния, который определяет начальные условия для запуска процедуры оптимизации. Исполнительные механизмы, являясь конечными получателями результата, реализуют физическое переключение режимов работы оборудования на основе найденного оптимального комбинаторного решения.

Центральный сегмент схемы – управляющая вычислительная система – выполняет функцию подготовки задачи к аппаратному ускорению. Центральный процессор в данной архитектуре не занимается непосредственным решением комбинаторной задачи, что позволяет избежать экспоненциального роста времени вычислений. Вместо этого он формулирует математическую модель задачи: рассчитывает коэффициенты целевой функции и определяет границы допустимой области. Ключевым элементом, обеспечивающим эффективность ускорения, является контроллер прямого доступа к памяти (DMA). Он организует высокоскоростной поток данных с параметрами задачи в интерфейс ускорителя, минимизируя коммуникационные задержки, которые могли бы нивелировать выигрыш от аппаратной реализации вычислений.

Для систематизации предложенного подхода к разделению вычислительной нагрузки и обоснования преимуществ гетерогенной

архитектуры, основные функции и характеристики подсистем сведены в табл. 2.

Аппаратный ускоритель является ядром системы, реализующим потоковый метод решения задачи комбинаторной оптимизации. Интерфейсный модуль обеспечивает загрузку конфигурации задачи в локальную память, выполняющую роль сверхбыстрого кэша. Конечный автомат управления синхронизирует работу вычислительного конвейера, обеспечивая темп поступления данных, необходимый для поддержания максимальной производительности. Вычислительное ядро ускорителя структурно повторяет логику алгоритма комбинаторного поиска, но реализует ее на аппаратном уровне с использованием пространственного параллелизма. Блок «Генератор комбинаторных вариантов» аппаратно реализует сканирование дискретного пространства решений (пространства поиска), формируя на каждом такте новый вектор-кандидат. Это дает возможность заменить программные циклы перебора на аппаратную генерацию, что является первым фактором ускорения.

Вторым и ключевым фактором аппаратного ускорения является блок проверки ограничений. В задачах комбинаторной оптимизации проверка допустимости решения часто занимает значительное время. В предложенной схеме этот блок функционирует как аппаратный фильтр, отсеивающий недопустимые комбинаторные варианты за один такт тактовой частоты, не пропуская их на этап вычисления целевой функции. Это позволяет радикально сократить вычислительную сложность задачи за счет раннего отсеивания ветвей перебора. Блок вычисления целевой функции производит оценку качества только для валидных комбинаторных вариантов.

Таблица 2

Структурно-функциональная декомпозиция вычислительных процессов в гетерогенной системе

Структурный сегмент	Выполняемые функции (задачи)	Характер вычислений	Механизм реализации / фактор эффективности
Уровень объекта	Сбор данных ( $S(t)$ ), исполнение управляющих воздействий	Непрерывное время, физическая динамика	Дискретизация параметров, физическое переключение режимов
Хост-система	Постановка задачи: расчет матриц критерия ( $H, f$ ), обновление ограничений ( $G, h$ )	Последовательная обработка, плавающая точка	Использование DMA для прямого доступа к памяти ускорителя (разгрузка CPU)
Аппаратный ускоритель	Генерация вариантов $u \in D$ , проверка ограничений, поиск глобального минимума	Массово-параллельная потоковая обработка	1. Аппаратная генерация вместо циклов. 2. Параллельная проверка ограничений за 1 такт. 3. Конвейерное вычисление целевой функции

Примечание: составлена автором на основе полученных данных в ходе исследования

Завершает процесс регистр лучшего решения, который аппаратно реализует операцию минимизации. Линия обратной связи от регистра к генератору позволяет внедрить эвристики (например, метод ветвей и границ), динамически сужая пространство поиска на основе текущего найденного оптимума, что является третьим фактором ускорения процесса комбинаторной оптимизации.

Теперь рассмотрим более подробно математическое описание решаемой задачи.

Итак, формализация процесса аппаратного ускорения базируется на сопоставлении временной сложности решения задачи комбинаторной оптимизации на универсальной и специализированной архитектурах. Предположим, что задача управления сводится к поиску вектора  $u$  из дискретного конечного множества  $D$  (комбинаторное множество), мощность которого  $|D| = N$ . Задача оптимизации формулируется как поиск

$$u^* = \operatorname{argmin}\{F(u) \in D, G(u) \leq 0\},$$

где  $F(u)$  – целевая функция, а  $G(u)$  – система ограничений.

В классической архитектуре (без ускорения) время решения задачи  $T_{seq}$  определяется последовательным выполнением операций генерации, проверки и вычисления для каждого из  $N$  вариантов. Если  $\tau_{gen}$ ,  $\tau_{check}$  и  $\tau_{calc}$  – время выполнения соответствующих операций в тактах процессора, то

$$T_{seq} = \sum_{i=1}^N (\tau_{gen} + \tau_{check} + \tau_{calc}).$$

Модель функционирования аппаратного ускорителя описывается системой разностных уравнений, характеризующих состоя-

$$S = \lim_{N \rightarrow \infty} \frac{T_{seq}}{T_{acc}} \approx \frac{N \cdot (\tau_{gen} + \tau_{check} + \tau_{calc})}{\frac{N}{f_{clk} \cdot P}} = (\tau_{gen} + \tau_{check} + \tau_{calc}) \cdot f_{clk} \cdot P.$$

Данное выражение доказывает, что предложенная архитектура обеспечивает линейный рост производительности пропорционально степени параллелизма  $P$  и тактовой частоте. Кроме того, использование обратной связи в генераторе позволяет уменьшить эффективное значение  $N$  до  $N_{eff} \ll N$  за счет отсечения ветвей, что обеспечивает дополнительное ускорение комбинаторного поиска, недостижимое при последовательном программном переборе.

Время решения на ЦП определяется суммой элементарных операций для каждого из  $N$  вариантов. Сложность проверки  $L$

ограничений составляет  $O(L)$ , вычисления квадратичной формы –  $O(m^2)$ .

Генерация вариантов в ускорителе определяется оператором  $\Psi(\tau, R_{\tau-1})$ , который формирует вектор  $v_\tau$  на каждом такте  $\tau$ . Эффект аппаратного ускорения достигается за счет конвейеризации, где время обработки одного варианта амортизируется и стремится к единице, деленной на тактовую частоту  $f_{clk}$  и степень параллелизма  $P$ . Время решения задачи на ускорителе  $T_{acc}$  определяется формулой

$$T_{acc} = T_{setup} + \frac{N}{f_{clk} \cdot P} + \Lambda,$$

где  $T_{setup}$  – время инициализации, а  $\Lambda$  – латентность конвейера.

Математическая модель блока проверки ограничений вводит индикаторную функцию  $\chi(v_\tau)$ , которая принимает значение 1 для допустимых вариантов и 0 для недопустимых. Аппаратное ускорение здесь заключается в том, что вычисление  $\chi(v_\tau)$  выполняется параллельно для всех ограничений за время  $O(1)$ , в то время как программная реализация требует  $O(M)$  операций, где  $M$  – количество ограничений. Целевая функция

$$J_\tau = F(v_\tau) \cdot \chi(v_\tau) + \infty \cdot (1 - \chi(v_\tau)).$$

Это уравнение моделирует механизм аппаратной фильтрации: недопустимые варианты исключаются из процесса сравнения, не затрачивая ресурсы компаратора.

Коэффициент аппаратного ускорения  $S$ , являющийся ключевой метрикой эффективности системы для задач комбинаторной оптимизации, определяется пределом отношения времени выполнения:

ограничений составляет  $O(L)$ , вычисления квадратичной формы –  $O(m^2)$ .

$$T_{CPU} = N \cdot \left( \alpha \cdot \tau_{gen} + \beta \cdot L \cdot \tau_{check} + \gamma \cdot m^2 \cdot \tau_{mul} + \tau_{add} \right),$$

где  $\alpha, \beta, \gamma$  – коэффициенты, зависящие от архитектуры набора команд (ISA).

Время решения на ускорителе определяется латентностью конвейера  $\Lambda$  (число ступеней) и пропускной способностью, зависящей от тактовой частоты  $f_{FPGA}$  и степени параллелизма  $P$  (количество параллельных вычислительных ядер). Благодаря конвейеризации и аппаратной параллельной проверке ограничений:

$$T_{FPGA} = T_{DMA} + \frac{N_{eff}}{f_{FPGA} \cdot P} + \frac{\Lambda}{f_{FPGA}},$$

где  $T_{DMA}$  – время инициализации транзакции прямого доступа к памяти.

Асимптотический коэффициент ускорения при  $N \rightarrow \infty$  (для задач большой размерности) выражается пределом:

$$S = \lim_{N \rightarrow \infty} \frac{T_{CPU}}{T_{FPGA}} \approx \frac{(\beta L + \gamma m^2) \cdot \tau_{CPU\_cycle} \cdot f_{FPGA} \cdot P}{C_{cycles}},$$

где  $C_{cycles}$  – среднее число циклов на результат в конвейере (в идеальном случае  $C_{cycles} \rightarrow 1$ ).

Из полученного выражения следует, что коэффициент ускорения линейно зависит от числа ограничений  $L$  и квадратично от размерности вектора управления  $m$ . Это доказывает, что предложенная концепция аппаратного ускорения наиболее эффективна именно для сложных многопараметрических задач комбинаторной оптимизации с большим количеством технологических ограничений, где программная последовательная проверка вносит неприемлемые задержки в контур управления реального времени.

### Заключение

В процессе исследования рассмотрены особенности использования аппаратного ускорения в задачах комбинаторной оптимизации в АСУ ТП.

Ключевым научным результатом работы является предложенная структурно-функциональная организация комплекса, в которой реализован принцип физической декомпозиции вычислительного процесса: рутинные операции перебора делегированы специализированному аппаратному ускорителю с конвейерной архитектурой, тогда как функции интеллектуальной поддержки и взаимодействия с оператором сохранены за хост-системой. Установлено, что такой подход устраняет стохастическую составляющую вычислительного запаздывания, обеспечивая детерминированность цикла управления и гарантируя устойчивость системы при высоких темпах дискретизации технологических процессов.

Также в статье разработана математическая модель функционирования аппаратного конвейера, которая формализует процессы параллельной аппаратной фильтрации недопустимых вариантов и динамического сужения пространства поиска через механизм обратной связи.

**Конфликт интересов:** Автор заявляет об отсутствии конфликта интересов.

**Conflict of interest:** The author declares that there is no conflict of interest.

### Список литературы

1. Тырышкин С. Ю. Теория комбинаторной оптимизации и задачи искусственного интеллекта // Автоматизация. Современные технологии. 2025. Т. 79. № 9. С. 416–420. DOI: 10.36652/0869-4931-2025-79-9-416-420.
2. Сохраби М., Фатхоллахи-Фард А. М., Громов В. А. Алгоритм генетической инженерии (GEA): эффективный метаэвристический алгоритм для решения задач комбинаторной оптимизации // Автоматика и телемеханика. 2024. № 3. С. 23–37. DOI: 10.31857/S0005231024030027.
3. Roberto Prado-Rodríguez, Patricia González, Julio R. Banga, Ramón Doallo Improved cooperative Ant Colony Optimization for the solution of binary combinatorial optimization applications // Expert Systems. 2024. Vol. 41. Is. 8. DOI: 10.1111/exsy.13554.
4. Haixu Zhao, Dong Ding, Feng Wang, Pengcheng Hua, Ning Wang, Qin Wu, Zhilei Chai Hardware acceleration of number theoretic transform for zk-SNARK // Engineering Reports. 2023. DOI: 10.1002/eng2.12639.
5. Аханова М. А., Овчинникова С. В., Терехова Н. В. Критерии подобия динамических задач комбинаторной оптимизации // Современная наука: актуальные проблемы теории и практики. Серия: Естественные и технические науки. 2022. № 5. С. 41–45. DOI: 10.37882/2223-2966.2022.05.02.
6. Подвальный С. Л., Васильев Е. М. Матричная репликация в NP-полных задачах комбинаторной оптимизации // Вестник Воронежского государственного технического университета. 2022. Т. 18. № 4. С. 7–14. DOI: 10.36622/VSTU.2022.18.4.001.
7. Bruno Silva, Luiz Guerreiro Lopes GPU Acceleration of the GWO Optimization Algorithm: Application to the Solution of Large Nonlinear Equation Systems // Concurrency and Computation: Practice and Experience. 2025. Vol. 37. Is. 6–8. DOI: 10.1002/cpe.70043.
8. Jiangwei Shang, Zhan Zhang, Kun Zhang, Chuanyou Li, Lei Qian, Hongwei Liu An algorithm/hardware co-optimized method to accelerate CNNs with compressed convolutional weights on FPGA // Concurrency and Computation: Practice and Experience. 2024. Vol. 36. Is.11. DOI: 10.1002/cpe.8011.
9. Лоскутов А. И., Клыкков В. А., Столяров А. В., Перельгин Ю. В. Алгоритмы синтеза минимальных программ испытаний бортовой аппаратуры с учетом требований к оперативности проведения испытаний с использованием методов комбинаторной оптимизации // Воздушно-космические силы. Теория и практика. 2025. № 33. С. 99–113. EDN: YXDIVO.
10. Трошкин Н. Р., Вишневская Т. И. Метод выбора и распределения задач на основе методологии SCRUM с использованием популяционных алгоритмов // Образовательные ресурсы и технологии. 2025. № 3 (52). С. 83–95. DOI: 10.21777/2500-2112-2025-3-83-95.
11. Солодовников А. П., Переверзев А. Л., Силантьев А. М. Программно-аппаратный комплекс для ускорения функциональной верификации систем на кристалле // Известия высших учебных заведений. Электроника. 2023. Т. 28. № 4. С. 441–451. DOI: 10.24151/1561-5405-2023-28-4-441-451.
12. Sheng-Yao Wu, Yan-Qi Song, Run-Ze Li, Su-Juan Qin, Qiao-Yan Wen, Fei Gao Resource-Efficient Adaptive Variational Quantum Algorithm for Combinatorial Optimization Problems // Advanced Quantum Technologies. 2025. DOI: 10.1002/qute.202400484.
13. Ehsan Ali Innovative Hardware Accelerator Architecture for FPGA-Based General-Purpose RISC Microprocessors // Journal of Electrical and Computer Engineering. 2025. Vol. 2025. Is. 1. DOI: 10.1155/jece/6965638.
14. Ragodaya Deepthi Kadiyala, Deepthi Kakarla, Neetu Chikyal Hybrid distributed online and alternating convex optimization-based initial value accelerated hybrid precoding for millimeter wave multiple-input-multiple-output // International Journal of Communication Systems. 2023. Vol. 37. Is. 3. DOI: 10.1002/dac.5660.
15. Ельцов В. Ю., Федотов А. М. Методы аппаратной реализации быстродействующего умножителя для искусственных нейронных сетей // Наука настоящего и будущего. 2024. Т. 1. С. 158–161. EDN: JPOXIB.