

УДК 616.711

СИСТЕМНОЕ ПРОЕКТИРОВАНИЕ ОТКАЗОУСТОЙЧИВЫХ УСТРОЙСТВ ЦИФРОВОЙ ОБРАБОТКИ СИГНАЛОВ

Калмыков И.А., Емарлукова Я.В., Яковлева Е.М.

Северо-Кавказский государственный технический университет, Ставрополь,
e-mail: kia762@yandex.ru

Рассмотрен системный подход к проектированию систем цифровой обработки сигналов, методы и средства которого подготавливают эффективную технологическую базу для достижения максимального уровня отказоустойчивости при обеспечении требуемых характеристик показателей качества функционирования устройства.

Ключевые слова: отказоустойчивость, цифровая обработка сигналов

Существующая в последние годы в вычислительных устройствах цифровой обработки сигналов (ЦОС) тенденция к распараллеливанию вычислений связана с непрерывным ростом требований к производительности вычислительных средств [1, 2]. В то же самое время это приводит к значительному усложнению структуры систем ЦОС. Таким образом, сложилось противоречие: с одной стороны, постоянный рост требований к скоростным характеристикам вычислительных устройств приводит к необходимости организации параллельных вычислений, а с другой стороны, при этом увеличивается частота возникновения отказов, и возрастает время простоя процессоров, вызванное трудностью отыскания и ликвидации неисправности. Наиболее перспективным путем разрешения данного противоречия является придание процессорам свойства отказоустойчивости [3].

Однако данная задача характеризуется повышенной сложностью решения. Поэтому целесообразно использовать си-

стемный подход к проектированию таких систем цифровой обработки сигналов. В этом случае методы и средства системного проектирования подготовят эффективную технологическую базу для достижения максимального уровня отказоустойчивости при обеспечении требуемых характеристик показателей качества функционирования устройства, таких как точность, скорость и достоверность обработки данных [4]. Опишем ключевые этапы выполняемых исследований и разработок в рамках системного проектирования.

В настоящее время качество реализации вычислений в конкретной предметной области во многом определяется выбранной математической моделью вычислений. Поэтому на первом этапе решается задача, связанная с выбором пространственно-временного распределения реализуемого вычислительного процесса w_e из множества $W = \{w_1, w_2, \dots, w_E\}$ структурированных алгоритмов его решения. В этом случае данная задача формулируется следующим образом:

$$\forall w_e \in W = \{w_1, w_2, \dots, w_E\} \exists w_{\text{опт}} \in W [w_e = w_{\text{опт}} \rightarrow P(w_e) \leftrightarrow P(D)]. \quad (1)$$

Другими словами, необходимо определить единственное оптимальное, из совокупности $W = \{w_1, w_2, \dots, w_E\}$ возможных решений, при котором организация вычислений $P(w_e)$ полностью соответствовала бы параллельно-конвейерной структуре вычис-

лительного устройства $P(D)$. Проведенные исследования показали целесообразность использования математической модели ЦОС, реализованной в кольце полиномов с использованием полиномиальной системы классов вычетов (ПСКВ) [1, 2].

Второй этап методики посвящен вопросам выбора системы оснований ПСКВ. Достижимая точность зависит от размерности обрабатываемых операндов, а так же разрядной сетки арифметических устройств. Чтобы избежать дополнительных ошибок, во время вычислений должна поддерживаться высокая точность. Если в качестве критерия оптимальности выбрать минимальные схемные затраты необходимы для обеспечения требуемой точности обработки данных, то математическая постановка задачи второго этапа примет вид

$$\begin{cases} V_{\text{пскв}}(\{p_i(z)\}) \rightarrow \min; \\ Q_{\text{пскв}}(\{p_i(z)\}) \geq Q_{\text{доп}}, \end{cases} \quad (2)$$

где $V_{\text{пскв}}$ – схемные затраты необходимые на реализацию процессора ПСКВ; $Q_{\text{пскв}}$ и $Q_{\text{доп}}$ – точность обрабатываемых данных в модулярном коде и предельно допустимая точность; $Q_{\text{пскв}} = \prod_i p_i(z)$; $p_i(z)$ – минимальные многочлены расширенного поля Галуа $GF(2^v)$.

Решение многих прикладных задач осуществляется в реальном масштабе времени, что не позволяет возвращаться назад и исправлять появляющиеся ошибки. Поэтому необходимость своевременно обнаруже-

$$\begin{cases} V_{\text{псс-пскв}}(\{p^k(z), p^r(z)\}, s_j) T_{\text{псс-пскв}}(\{p^k(z), p^r(z)\}, s_j) \rightarrow \min; \\ Q_{\text{пскв}}(\{p^k(z), p^r(z)\}) \geq Q_{\text{доп}}, \end{cases} \quad (4)$$

где $s_j \in S = [s_1, s_2, \dots, s_x]$ – j -й алгоритм прямого преобразования ПСС-ПСКВ; S – совокупность возможных алгоритмов прямого преобразования; $T_{\text{псс-пскв}}$ – временные затраты на реализацию немодулярной процедуры преобразований ПСС-ПСКВ.

На четвертом этапе методики осуществляется выбор алгоритма обратного преобразования ПСКВ-ПСС и его схемной реализации. На данном этапе определяются

$$\begin{cases} V_{\text{пскв-псс}}(\{p^k(z), p^r(z)\}, u_l) T_{\text{пскв-псс}}(\{p^k(z), p^r(z)\}, u_l) \rightarrow \min; \\ Q_{\text{пскв}}(\{p^k(z), p^r(z)\}, u_l) \geq Q_{\text{доп}}, \end{cases} \quad (5)$$

ния отказов, сбоев или других причин появления ошибочных результатов привела к необходимости введения контрольных оснований ПСКВ. Количество и величины контрольных модулей определяются согласно условиям, приведенных в [2]. В этом случае имеем следующую математическую постановку задачи

$$\begin{cases} V_{\text{пскв}}(\{p^k(z), p^r(z)\}) \rightarrow \min; \\ N_{\text{пскв}}(\{p^k(z), p^r(z)\}) \geq N_{\text{доп}}, \end{cases} \quad (3)$$

где $V_{\text{пскв}}$ – схемные затраты необходимые на реализацию процессора ПСКВ; $N_{\text{пскв}}$ и $N_{\text{доп}}$ – количество отказов, парируемых при обрабатываемых данных в модулярном коде, и предельно допустимое значение.

Третий этап разработки устойчивых к отказам процессоров ПСКВ посвящен вопросам обоснования выбора алгоритма осуществляющего преобразование из позиционной системы счисления (ПСС) в модулярный код. На данном этапе наиболее важно собрать все имеющиеся данные о реализациях этой немодулярной процедуры. По совокупности этих данных обосновывается математическая постановка задачи

особенности структуры и организации вычислительного устройства, выполняющего перевод из модулярного кода в позиционный. По этим данным исследуется и решается вопрос о целесообразности применения метода перевода из ПСКВ в ПСС с использованием китайской теоремы об остатках (КТО) или через смешанную систему счисления, проводится предварительный расчет аппаратных затрат. В этом случае математическая постановка задачи имеет вид

где $u_l \in U = [u_1, u_2, \dots, u_y]$ – l -й алгоритм обратного преобразования ПСКВ-ПСС; U – совокупность возможных алгоритмов прямого преобразования; $T_{\text{пскв-псс}}$ – временные затраты на реализацию немодульной процедуры преобразований ПСКВ-ПСС.

На пятом этапе методики осуществляется анализ и выбор позиционной характеристики для выполнения контроля и коррекции

ошибок. Исходя из условия, что ошибки вызванные отказами в вычислительных трактах процессора ПСКВ не перемещаются из одного основания в другое, то целесообразно контроль и коррекцию ошибок осуществлять параллельно с процедурой обратного преобразования ПСКВ-ПСС. Таким образом, математическая постановка задачи, решаемой на данном этапе, представляется

$$\begin{cases} V_{\Sigma}(\{p^k(z), p^r(z)\}, u_l, f_d) \rightarrow \min \\ T_{\text{кор}}(\{p^k(z), p^r(z)\}, u_l) \leq T_{\text{пскв-псс}}(\{p^k(z), p^r(z)\}, u_l) \\ N_{\text{пскв}}(\{p^k(z), p^r(z)\}, u_l, f_d) \geq N_{\text{доп}}, \end{cases} \quad (6)$$

где $V_{\Sigma} = V_{\text{пскв-псс}} + V_{\text{кор}}$ – суммарные схемные затраты на выполнение операции поиска и коррекции ошибки и обратного преобразования из ПСКВ-ПСС; $N_{\text{доп}}$ – предельно допустимое количество отказов; $N_{\text{пскв}}(\{p^k(z), p^r(z)\}, u_l, f_d)$ – количество парируемых отказов с использованием f_d алгоритма вычисления позиционной характеристики; $f_d \in F = [f_1, f_2, \dots, f_M]$ – совокупность возможных алгоритмов обнаружения и коррекции ошибок в кодах ПСКВ.

На последнем шаге системного проектирования осуществляется эффективности вычислительного устройства ЦОС. Для реализации данной процедуры был выбран показатель качества – вероятность безотказной работы $P(t)$. При этом на ряд показателей качества функционирования устройства, таких как точность и время обработки данных, накладываются ограничения. Математическая постановка задачи данного этапа имеет вид

$$\begin{cases} P_a(t, \{p^k(z), p^r(z)\}, u_l, f_d) \rightarrow \max; \\ T_{\text{рек}}(\{p^k(z), p^r(z)\}, u_l) \leq T_{\text{доп}}; \\ Q_{\text{рек}}(\{p^k(z), p^r(z)\}, u_l, f_d) \geq Q_{\text{доп}}, \end{cases} \quad (7)$$

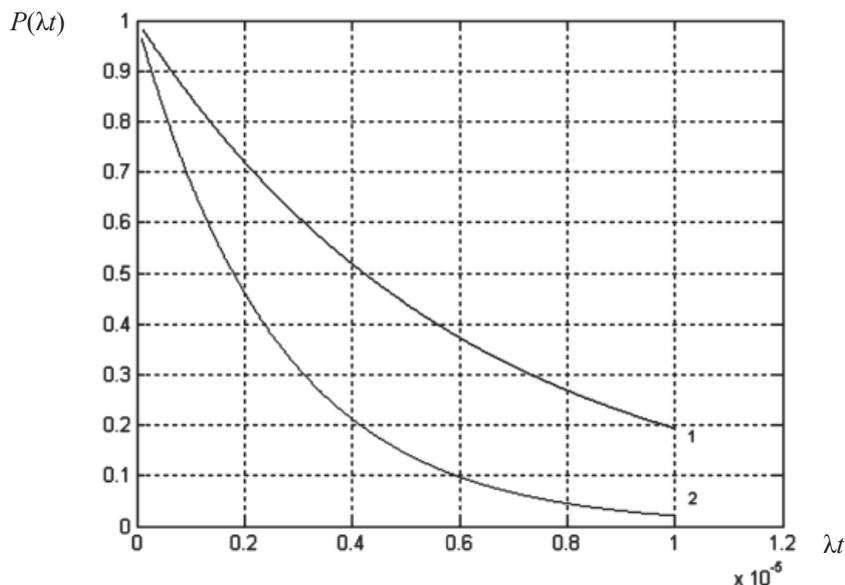
где $T_{\text{рек}}(\{p^k(z), p^r(z)\}, u_l, o_a)$, $Q_{\text{рек}}(\{p^k(z), p^r(z)\}, u_l, f_d, o_a)$ – время и точность выполнения задания процессором ПСКВ.

Для оценивания эффективности системного проектирования проведен сравнительный анализ синтезированного вычислительного устройства, использующего корректирующие способности кодов ПСКВ, с позиционным спецпроцессором ЦОС имеющим троированную мажоритарную струк-

туру. В качестве исходных данных выбраны следующие параметры:

- разрядность кодирования (входного слова) – 31 бит;
- минимально допустимая разрядность входного слова – 11 бит;
- корректирующие способности устройства – обнаружение двукратных и исправление однократных ошибок.

Полученные результаты приведены на рисунке. Для удобства проведения анализа воспользуемся следующими сокращениями:



Сравнительная оценка отказоустойчивости СП ЦОС

1 – вероятность безотказной работы разработанного СП ПСКВ;

2 – вероятность безотказной работы СП ПСС.

Анализ зависимостей позволяет сделать следующие выводы. Применение системного проектирования позволило разработать специализированный процессор ЦОС класса вычетов, характеризующейся большей отказоустойчивостью по сравнению с позиционным вычислительным устройством цифровой обработки сигнала, реализующим метод маскирования отказов «2 из 3».

СПИСОК ЛИТЕРАТУРЫ

1. Калмыков И.А. Математическая модель нейронных сетей для исследования ортогональ-

ных преобразований в расширенных полях Галуа / И.А. Калмыков, Н.И. Червяков, Ю.О. Щелкунова, В.В. Бережной // Нейрокомпьютеры: разработка, применение. – 2003. – №6. – С. 61-68.

2. Калмыков И.А. Высокоскоростные систолические отказоустойчивые процессоры цифровой обработки сигналов для инфотелекоммуникационных систем / И.А. Калмыков, А.В. Зиновьев, Я.В. Емарлукова // Инфокоммуникационные технологии. – 2009. – №2. – С. 31-37.

3. Калмыков И.А. Математические модели нейросетевых отказоустойчивых вычислительных средств, функционирующих в полиномиальной системе классов вычетов / под ред. Н.И. Червякова. – М.: Физматлит, 2005. – 276 с.

4. Анфилатов В.С. Системный анализ в управлении / В.С. Анфилатов, А.А. Емельянов, А.А. Кукушкин. – М.: Финансы и статистика, 2003. – 238 с.

SYSTEM DESIGNING OF FAILURE-SAFE DEVICES OF DIGITAL PROCESSING OF SIGNALS

Kalmyks I.A., Emarlukova J.V., Jakovleva E.M.

The North Caucasian state technical university, Stavropol,

e-mail: kia762@yandex.ru

The system approach to designing of systems of digital processing of signals, methods and which means prepare effective technological base for achievement of a maximum level of fault tolerance at maintenance of demanded characteristics of indicators of quality of functioning of the device is considered.

Keywords: fault tolerance, digital processing of signals